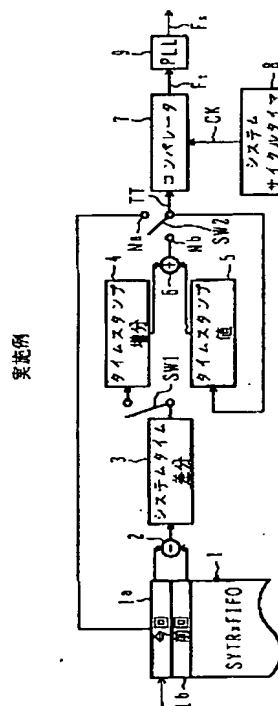


(11)特許出願公開番号

(43)公開日 平成11年(1999)11月9日



【特許請求の範囲】

【請求項1】 第1の時間情報及びそれに連続する同種類の第2の時間情報を順次入力する入力手段と、前記第1の時間情報と前記第2の時間情報との差分値を求める差分手段と、

前記入力手段が第1の時間情報を入力するときには該第1の時間情報に応じてクロックを生成し、前記入力手段が第2の時間情報を入力するときには該第2の時間情報に応じてクロックを生成し、その後、前記第2の時間情報と前記差分値との加算値に応じてクロックを生成するクロック生成手段とを有するクロック生成装置。

【請求項2】 (a) 第1の時間情報及びそれに連続する同種類の第2の時間情報を順次入力する工程と、

(b) 前記第1の時間情報と前記第2の時間情報との差分値を求める工程と、

(c) 前記工程(a)で第1の時間情報を入力したときには該第1の時間情報に応じてクロックを生成し、前記工程(a)で第2の時間情報を入力したときには該第2の時間情報に応じてクロックを生成し、その後、前記第2の時間情報と前記差分値との加算値に応じてクロックを生成する工程とを有するクロック生成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロックの生成技術に関し、特に時間情報を入力し、その時間情報に応じてクロックを生成する技術に関する。

【0002】

【従来の技術】IEEE1394規格のデジタルシリアル通信が普及しつつある。当該通信では、オーディオデータにシステムタイム(時間情報)を付加してパケット通信を行うことができる。パケットは、システムタイムとオーディオデータを含む。

【0003】図2は、パケット通信を示すタイムチャートである。例えばパケットP1、パケットP2、パケットP3、パケットP4の順番で通信が行われる。パケットP1は、システムタイムT1及びオーディオデータD1を含み、パケットP2は、システムタイムT2及びオーディオデータD2を含み、パケットP3は、システムタイムT3及びオーディオデータD3を含み、パケットP4は、システムタイムT4及びオーディオデータD4を含む。以下、パケットP1~P4、システムタイムT1~T4、オーディオデータD1~D4の個々を又は総称を、それぞれパケットP、システムタイムT、オーディオデータDという。

【0004】図3は、従来技術によるIEEE1394規格の受信装置の構成を示すブロック図である。

【0005】システムタイム受信用FIFO(SYTRxFIFO)11は、パケットP中のシステムタイムTをファーストインファーストアウトするためのバッファである。パケットP中のオーディオデータDは、他のF

IFO(図示せず)に格納される。

【0006】タイムスタンプレジスタ16は、FIFO11から入力されるシステムタイムTを1つずつタイムスタンプとして格納する。最初は、タイムスタンプレジスタ16に、システムタイムT1が格納される。

【0007】コンパレータ17は、タイムスタンプレジスタ16に格納されているタイムスタンプTTとシステムサイクルタイム18が生成するシステムクロックCKとを比較し、両者が一致したところでパルスFt1~Ft4(図2)を発生するクロックFtを出力する。つまり、クロックFtは、タイムスタンプTTがシステムクロックCKで同期されたクロックである。

【0008】クロックFtは、例えば6kHzである。システムクロックCKは、例えば24.576MHzである。

【0009】位相ロックループ回路(PLL)19は、電圧制御発振器(VCO)を有し、クロックFtに同期したワードクロックFs(図2参照)を生成する。ワードクロックFsは、例えば48kHzである。ワードクロックFsに同期して、パケットP中のオーディオデータDは再生される。すなわち、オーディオデータDのサンプリング周波数は例えば48kHzである。

【0010】パケットPは、システムタイムT及びオーディオデータDを有する。オーディオデータDは、8サンプル(又は8ブロック)のデータを有し、そのサンプリング周波数は例えば48kHzである。システムタイムTは、第1のサンプルデータの再生時間に相当する。したがって、コンパレータ17が出力するクロックFtは、 $48\text{kHz}/8=6\text{kHz}$ の周波数である。

【0011】PLL19は、クロックFtを基にワードクロックFsを生成する。ワードクロックFsは、クロックFtの8倍の周波数であり、サンプリング周波数と同じく48kHzである。

【0012】サンプリング周波数が48kHzであるとき、連続する2つのパケットP間のシステムクロックTの差は16進数で1400だけ異なる。以下、16進数の値は、末尾に“h”を付する。

【0013】図2に示すように、例えば、システムタイムT1は0であり、システムタイムT2は1400hであり、システムタイムT3は2800hであり、システムタイムT4は3c00hである。

【0014】上記のように、パケットPは、 $1/6\text{kHz}$ の周期で通信されるので、クロックFtも $1/6\text{kHz}$ の周期でパルスFt1~Ft4が発生する。48kHzのワードクロックFsは、この6kHzのクロックFtを基に生成される。オーディオデータDは、ワードクロックFsに同期して再生される。

【0015】

【発明が解決しようとする課題】図4は、パケットが途切れた場合のパケット通信を示すタイムチャートであ

る。

【0016】パケットP1及びP2が通信された後、パケットP3及びP4が通信されず、その後に再びパケット通信が再開する場合がある。例えば、オーディオデータDが一時終了した場合やオーディオデータに対応する音が無音状態になった場合である。

【0017】パルスFt1は、パケットP1中のシステムタイムT1に応じて発生し、パルスFt2は、パケットP2中のシステムタイムT2に応じて発生する。しかし、パケットP3及びP4が通信されないため、パルスFt3及びFt4は発生しない。

【0018】ワードクロックFsは、安定なクロック領域Fs1及び不安定なクロック領域Fs2を有する。クロック領域Fs1は、パルスFt1及びFt2に同期するので安定である。クロック領域Fs2は、同期すべきパルスFt3及びFt4が存在しないので不安定であり、時間と共に同期ずれが大きくなり、やがて周波数が変化してしまう。

【0019】オーディオデータDは、ワードクロックFsに同期して処理されるが、イコライザや音場処理等を行う処理部ではワードクロックFsに依存するパラメータを生成するので、ワードクロックFsが乱れたり、ワードクロックFsの周波数が変化すると、パラメータを設定し直す必要がある。その間、当該処理部は、ミュート（音の出力を停止する）する。

【0020】パケット通信の一時的な中断、受信パケットチャンネルの切り替え、又は通信ケーブルを抜き差しすると、その度にミュートが発生する。また、コンピュータのソフトウェアでパケット送信の処理を行う場合には、上記のように、送信すべきデータが存在しない場合はパケット送信を停止してしまうことがある。その間も、受信装置ではミュートが発生する。

【0021】オーディオデータを再生している途中でミュートが発生すると、音が途中で途切れ、オーディオデータを忠実に再生することができない。また、ミュートが発生すると、再生された音は、聴取者にとって聞き苦しい音になる。

【0022】本発明の目的は、安定したクロックを生成することができるクロック生成装置又は生成方法を提供することである。

【0023】

【課題を解決するための手段】本発明の一観点によれば、第1の時間情報及びそれに連続する同種類の第2の時間情報を順次入力する入力手段と、前記第1の時間情報と前記第2の時間情報との差分値を求める差分手段と、前記入力手段が第1の時間情報を入力するときには該第1の時間情報に応じてクロックを生成し、前記入力手段が第2の時間情報を入力するときには該第2の時間情報に応じてクロックを生成し、その後、前記第2の時間情報と前記差分値との加算値に応じてクロックを生成

するクロック生成手段とを有するクロック生成装置が提供される。

【0024】第1の時間情報が入力されたときには、第1の時間情報に応じてクロックを生成し、第2の時間情報が入力されたときには、第2の時間情報に応じてクロックを生成する。そして、第1の時間情報と第2の時間情報との差分値を求める。その後に、時間情報が入力されない場合でも、第2の時間情報と上記の差分値との加算値に応じてクロックを生成すれば、安定したクロックを生成することができる。

【0025】

【発明の実施の形態】図5は、本発明の実施例によるクロック生成方法を示すタイムチャートである。図4の場合と同様に、パケットP1及びP2が通信された後、パケットP3及びP4が通信されず、その後に再びパケット通信される場合を考える。

【0026】パケットP1は、システムタイムT1及びオーディオデータD1を有し、パケットP2は、システムタイムT2及びオーディオデータD2を有する。オーディオデータDのサンプリング周波数が48kHzである場合、システムタイムT1は0であり、システムタイムT2は1400hである。

【0027】図1は、本実施例による受信装置の構成を示すブロック図である。受信装置は、IEEE1394規格に準拠してパケットを受信することができる。

【0028】システムタイム受信用FIFO1は、パケットP中のシステムタイムTをファーストインファーストアウトするためのバッファであり、今回（最新）のシステムタイムTを格納するための領域1a、及び前回のシステムタイムTを格納するための領域1bを有する。パケットP中のオーディオデータDは、他のFIFO（図示せず）に格納される。

【0029】スイッチSW2が端子Naに接続されると、FIFO1の領域1a内の今回のシステムタイム値がタイムスタンプTTとしてコンパレータ7に入力される。スイッチSW2が端子Nbに接続されると、加算器6の出力値がタイムスタンプTTとしてコンパレータ7に入力される。コンパレータ7に入力されるタイムスタンプTTは、タイムスタンプレジスタ5にも入力される。スイッチSW2の制御条件は、後に説明する。

【0030】減算器2は、領域1a内の今回のシステムタイムから領域1b内の前回のシステムタイムを減算し、その値をシステムタイム差分レジスタ3に格納する。スイッチSW1がオンになると、タイムスタンプ増分レジスタ4にはシステムタイム差分レジスタ3内の値がタイムスタンプ増分値として格納される。スイッチSW1がオフの場合、タイムスタンプ増分レジスタ4の値は変化しない。スイッチSW1の制御条件は、後に説明する。

【0031】加算器6は、レジスタ5に格納されている

タイムスタンプとレジスタ4に格納されているタイムスタンプ増分値を加算する。その加算値は、スイッチSW2が端子Nbに接続されると、タイムスタンプTTとしてコンパレータ7に入力される。

【0032】システムサイクルタイム8は、例えば24.576MHzで順次カウントを行い、時間情報を有するシステムクロックCKを生成する。コンパレータ7は、タイムスタンプTTとシステムクロックCKとを比較し、両者が一致したところでパルスFt1～Ft4(図5)を発生するクロックFtを出力する。クロックFtは、タイムスタンプTTがシステムクロックCKで同期されたクロックである。

【0033】クロックFtは、例えば6kHzであり、システムクロックCKは、例えば24.576MHzである。

【0034】位相ロックループ回路(PLL)9は、電圧制御発振器(VCO)を有し、クロックFtに同期したワードクロックFsを生成する。ワードクロックFsは、例えば48kHzである。パケットP中のオーディオデータDは、ワードクロックFsに同期して再生される。オーディオデータDのサンプリング周波数は、ワードクロックFsと同じく48kHzである。

【0035】上記のスイッチSW2は、以下の条件(1)又は(2)を満たせば端子Naに接続され、その他の場合は端子Nbに接続される。

【0036】(1)電源投入後に最初にパケットを受信した場合に、スイッチSW2が端子Naに接続される。

【0037】(2)まず、通信が一旦中断した後に復帰し、その後に最初に受信したパケットのシステムタイムとその次の(2番目の)パケットのシステムタイムとの差分値 ΔTa を求め、その差分値 ΔTa をレジスタ3に格納する。その時、レジスタ4には、前回のタイムスタンプ増分値 ΔTb が格納されている。差分値 ΔTa と増分値 ΔTb との差が所定値C1以上の場合に、スイッチSW2が端子Naに接続される。ワードクロックFsが48kHzの場合、増分値 ΔTb は例えば1400hであり、所定値C1は例えば10hである。

【0038】上記の条件(2)は、例えばオーディオデータのサンプリング周波数が途中で変わった場合に満たされる。この場合は、前回のサンプリング周波数に基づくレジスタ4内のタイムスタンプ増分値を使用できないので、スイッチSW2を端子Naに接続し、FIFO1の領域1a内のシステムタイムをコンパレータ7に入力する。

【0039】上記のスイッチSW1は、以下の条件(3)を満たせばオンになり、満たさなければオフになる。

【0040】(3)前回のパケットと今回のパケットが連続しているパケットである場合に、スイッチSW1がオンになる。

【0041】上記の条件(3)は、例えば1/6kHz以内の時間間隔で連続している場合である。各パケットに付与されているシーケンスナンバを確認することにより、パケットが連続しているか否かを確認することができる。前回のパケットのシーケンスナンバと今回のパケットのシーケンスナンバが連続していれば、パケットが連続していると判断することができる。

【0042】パケットが連続しているか否かを判断する例を、具体的に示す。IEEE1394規格に準拠するものとして、“HD Digital VCR Conference, Specification of Digital Interface for Consumer Electronic Audio/Video Equipment”の規格がある。この規格は、オーディオデータのための規格のベースになっている。この規格では、CIPヘッダ内に8ビットのDBC(Data Block Count)が用意されている。このDBCは、データブロックの欠落を検出するためのデータブロックの連続カウンタである。このDBCが連続か否かを監視することにより、パケットが連続しているか否かを判断することができる。

【0043】DBCを監視するだけでは、不十分な場合も稀に存在する。例えば、パケットが一度途切れた後に再開した時のパケットのDBCがたまたま途切れる前のパケットのDBCと連続する値になる場合である。この場合に対処するため、さらに次の2つの処理のうちの少なくともいずれか1つの処理をする。

【0044】第1の処理を示す。受信オーディオデータ用FIFOが空(エンプティ)又は一杯(フル)になったら、パケットの欠落とみなし、システムタイム受信用FIFOをリセットする。パケットの欠落は、パケットの不連続を意味する。

【0045】第2の処理を示す。IEEE1394規格では、アイソクロナスパケット転送がある。この転送は、1アイソクロナスサイクル(125 μ s)毎に必ず少なくとも1つのパケットが存在する必要があるため、必要なパケットが入っていないアイソクロナスサイクルがあれば、パケットが欠落したとして判断することができる。パケットの欠落は、パケットの不連続を意味する。

【0046】上記の処理を行うことにより、パケットが連続か否かを完全に判断することができる。

【0047】図5を参照しながら、図1の回路の動作の概略を説明する。その詳細は、後に図6～図10を参照しながら説明する。

【0048】まず、パケットP1を受信すると、パケットP1中のシステムタイムT1がタイムスタンプTTとなり、クロックFt内でパルスFt1が発生する。同様に、パケットP2を受信すると、パケットP2中のシステムタイムT2がタイムスタンプTTとなり、クロック

Ft内でパルスFt2が発生する。

【0049】図1において、領域1b内にはシステムタイムT1が格納され、領域1a内にはシステムタイムT2が格納される。レジスタ3及びレジスタ4には、以下の ΔT の値が格納される。

【0050】

$$\begin{aligned}\Delta T &= T2 - T1 \\ &= 1400h - 0 \\ &= 1400h\end{aligned}$$

【0051】図5において、実際にはバケットP3を受信しないが、バケットP3を受信すべき時刻になると、以下のT3がタイムスタンプTTとして生成され、クロックFt内でパルスFt3が発生する。

【0052】

$$\begin{aligned}T3 &= T2 + \Delta T \\ &= 1400h + 1400h \\ &= 2800h\end{aligned}$$

【0053】続いて、バケットP4を受信すべき時刻になると、以下のT4がタイムスタンプTTとして生成され、クロックFt内でパルスFt4が発生する。

【0054】

$$\begin{aligned}T4 &= T3 + \Delta T \\ &= 2800h + 1400h \\ &= 3c00h\end{aligned}$$

【0055】ワードクロックFsは、パルスFt1～Ft4を含むクロックFtに同期して安定なクロックとなる。それ以後も、同様な処理を繰り返し、安定なワードクロックFsを生成することができる。以上のように、バケットP3及びP4を受信しない場合でも、パルスFt3及びFt4を生成し、安定なワードクロックFsを生成することができる。

【0056】次に、図6～図10を参照しながら、図5のタイムチャートに対応する回路動作を説明する。

【0057】まず、図6に示すように、送信開始時は上記の条件(1)を満たし、スイッチSW2は端子Naに接続される。

【0058】FIFO1の領域1aにシステムタイムT1が格納される。次に、領域1a内のシステムタイムT1は、コンパレータ7にタイムスタンプTTとして入力されると共に、タイムスタンプレジスタ5にも入力される。コンパレータ7は、タイムスタンプT1がシステムクロックCKに一致した時点でパルスFt1を出力する。PLL9は、パルスFt1に同期したワードクロックFsを生成する。

【0059】次に、図7に示すように、スイッチSW1がオンになり、スイッチSW2が端子Nbに接続される。

【0060】FIFO1の領域1bにシステムタイムT1が格納され、領域1aにシステムタイムT2が格納される。レジスタ3には、システムタイム差分値 $\Delta T = T$

$2 - T1$ が格納される。レジスタ4には、レジスタ3内の差分値 ΔT がタイムスタンプ増分値として格納される。

【0061】加算器6は、レジスタ4内の増分値 ΔT とレジスタ5内のタイムスタンプT1を加算し、 $T2 = T1 + \Delta T$ をタイムスタンプTTとしてコンパレータ7に出力する。

【0062】コンパレータ7は、タイムスタンプT2がシステムクロックCKに一致した時点でパルスFt2を出力する。PLL9は、パルスFt2に同期したワードクロックFsを生成する。

【0063】次に、図8に示すように、タイムスタンプTTは、コンパレータ7に入力されると共に、レジスタ5にも入力される。

【0064】次に、図9に示すように、バケットP3を受信すべき時刻に、スイッチSW2が端子Nbに接続される。

【0065】加算器6は、レジスタ4内の増分値 ΔT とレジスタ5内のタイムスタンプT2を加算し、 $T3 = T2 + \Delta T$ をタイムスタンプTTとしてコンパレータ7に出力する。

【0066】コンパレータ7は、タイムスタンプT3がシステムクロックCKに一致した時点でパルスFt3を出力する。PLL9は、パルスFt3に同期したワードクロックFsを生成する。

【0067】次に、図10に示すように、バケットP4を受信すべき時刻に、スイッチSW2が端子Nbに接続される。レジスタ5には、図8と同様にタイムスタンプT3が格納される。

【0068】加算器6は、図9と同様に、レジスタ4内の増分値 ΔT とレジスタ5内のタイムスタンプT3を加算し、 $T4 = T3 + \Delta T$ をタイムスタンプTTとしてコンパレータ7に出力する。

【0069】コンパレータ7は、タイムスタンプT4がシステムクロックCKに一致した時点でパルスFt4を出力する。PLL9は、パルスFt4に同期したワードクロックFsを生成する。

【0070】図11は、上記の受信装置の具体的なハードウェア構成を示すブロック図である。

【0071】バス21には、プログラム記憶装置22、記憶装置(RAM)23、CPU24、オーディオ通信用LSI(mLAN)26、IEEE1394通信インタフェース30が接続される。

【0072】IEEE1394通信インタフェース30は、物理層29及びリンク層27を有する。物理層29は、外部のシリアルバス31に接続され、シリアルバス31を介してバケットを送受信することができる。リンク層27は、FIFO28を有し、物理層29、LSI26、及びバス21に接続される。FIFO28は、物理層29を介して受信したバケットを格納し、当該バケ

ットをファーストインファーストアウトする。

【0073】LSI26は、FIFO25を有し、図1の回路構成を有する。図1の回路は、ハードウェアにより構成してもよいソフトウェアにより構成してもよい。そのソフトウェアに対応するフローチャートは、後に図12及び図13を参照しながら説明する。

【0074】FIFO25は、図1のFIFO1に相当し、通信インタフェース30内のFIFO28と同様な機能を有する。FIFO25は、システムタイムを格納するためのFIFOとオーディオデータを格納するためのFIFOを有する。

【0075】LSI26は、上記のように、ワードクロックFsを生成し、そのワードクロックFsに同期してオーディオデータをD/Aコンバータ32に出力する。D/Aコンバータ32は、オーディオデータをデジタル形式からアナログ形式に変換し、フィルタ33に出力する。

【0076】フィルタ33は、オーディオデータをフィルタリング処理し、アンプ34に出力する。アンプ34は、オーディオデータを増幅し、スピーカ35に出力する。スピーカ35は、オーディオデータに応じて発音する。

【0077】図12は、パケット受信処理を示すフローチャートである。パケットを受信すると、ステップSA1でパケット内のオーディオデータをデータ受信用FIFO(DATAR×FIFO)に格納し、ステップSA2でパケット内のシステムタイムをシステムタイム受信用FIFO(SYTR×FIFO)に格納する。

【0078】ステップSA3では、前回のパケットのシステムタイムとの差分を作成する。最初のパケットの場合には、前回のパケットが存在しないので、この処理を行わなくてもよい。2番目以降のパケットの場合には、今回のシステムタイムから前回のシステムタイムを減算して、システムタイム差分値 ΔT_a を作成し、レジスタ3に格納する。

【0079】ステップSA4では、受信したパケットが最初のパケットP1か否かをチェックする。この最初のパケットP1は、電源投入後の最初のパケットのみならず、中断復帰後の最初のパケットも含む。最初のパケットか否かは、例えば、パケットに付されたシーケンスナンバーを確認することにより判断することができる。

【0080】最初のパケットである場合には、yesの矢印に従い、ステップSA10へ進む。ステップSA10では、スイッチSW2を端子Naに接続する。FIFO1の領域1a内のシステムタイムは、コンパレータ7にセットされる。その後、処理を終了する。

【0081】最初のパケットでない場合には、noの矢印に従い、ステップSA5へ進む。ステップSA5では、受信したパケットが2番目のパケットか否かをチェックする。2番目のパケットであるときには、ステップ

SA6へ進み、そうでないときにはステップSA9へ進む。

【0082】ステップSA6では、レジスタ3内のシステムタイム差分値 ΔT_a とレジスタ4内のタイムスタンプ増分値 ΔT_b との差が所定値C1以上であるか否かをチェックする。所定値C1は、例えば10hである。レジスタ4には、初期時、タイムスタンプ増分値 ΔT_b として例えば1400hが初期設定されている。

【0083】所定値C1未満であるときには、オーディオデータのサンプリング周波数が変化していないことを意味するので、ステップSA7へ進む。所定値C1以上であるときには、オーディオデータのサンプリング周波数が変化したことを意味するので、ステップSA8へ進む。

【0084】ステップSA7では、スイッチSW1をオンする。レジスタ3内のシステムタイム差分値 ΔT_a は、タイムスタンプ増分値 ΔT_b としてレジスタ4内に格納される。以後、加算器6は、このタイムスタンプ増分値 ΔT_b とレジスタ5内のタイムスタンプを加算して、タイムスタンプTTを作成することができる。その後、処理を終了する。

【0085】なお、ステップSA7は、必ずしも行う必要がない。オーディオデータのサンプリング周波数は変化していないので、レジスタ4内のタイムスタンプ増分値 ΔT_b を更新する必要性は必ずしもない。更新前と更新後の増分値 ΔT_b の差は、所定値C1未満である。

【0086】ステップSA8は、オーディオデータのサンプリング周波数が変化した場合の処理であり、スイッチSW2を端子Naに接続し、スイッチSW1をオンにする。

【0087】スイッチSW2が端子Naに接続されると、FIFO1の領域1a内のシステムタイムがコンパレータ7にセットされると共に、レジスタ5内にセットされる。

【0088】スイッチSW1がオンになると、レジスタ3内のシステムタイム差分値 ΔT_a は、タイムスタンプ増分値 ΔT_b としてレジスタ4内に格納される。サンプリング周波数が変化した場合には、このようにタイムスタンプ増分値 ΔT_b を更新する必要がある。以後、加算器6は、更新されたタイムスタンプ増分値 ΔT_b とレジスタ5内のタイムスタンプを加算して、タイムスタンプTTを作成することができる。その後、処理を終了する。

【0089】コンパレータ7は、上記の処理により生成されるタイムスタンプTTを基にクロックFtを生成し、PLL9はクロックFtを基にワードクロックFsを生成することができる。その詳細は、後に図13のフローチャートを参照しながら説明する。

【0090】ここで、注意すべき点がある。D/Aコンバータ32(図11)やイコライザ処理部等は、例えば

48kHz等の所定周波数のワードクロックFsにのみ対応可能な場合がある。その場合は、生成すべきワードクロックFsの周波数に注意する必要がある。

【0091】受信したオーディオデータのサンプリング周波数が対応できないものであるときには（例えば50kHzのときには）、そのサンプリング周波数と同じ周波数のワードクロックFsを生成するのではなく、対応可能な周波数（例えば48kHz）でワードクロックFsを生成してもよい。

【0092】例えば、ステップSA9の前に、レジスタ3内のシステムタイム差分値ΔTaが対応可能な周波数（例えば48kHz）に相当するものか否かをチェックする。対応可能な場合には、上記のステップSA9の処理を行い、対応可能でない場合には、ステップSA9の処理を行わずに処理を終了すればよい。そうすれば、レジスタ4内のタイムスタンプ増分値ΔTbは更新されず、前の状態を維持するので、引き続き、対応可能な周波数（例えば48kHz）のワードクロックFsを生成することができる。

【0093】図13は、ワードクロック生成部の処理を示すフローチャートである。ステップSB1では、ワードクロック生成部の初期化を行う。具体的には、レジスタ4に、標準サンプリング周波数（例えば48kHz）に基づくタイムスタンプ増分値ΔTb（例えば1400h）を初期値としてセットする。レジスタ5には、システムサイクルタイム8の現在のタイム値をセットする。

【0094】ステップSB2では、コンパレータ7にタイムスタンプ（比較値）TTをセットする。タイムスタンプTTは、FIFO1の領域1a内のシステムタイム値、又は加算器6の加算値である。

【0095】ステップSB3では、当該タイムスタンプTTをタイムスタンプレジスタ5内にセットし、処理を終了する。

【0096】その後、ステップSB4では、コンパレータ7がタイムスタンプTTとシステムクロックCKの比較を行い、両者が一致する度に、パルスを発生し、上記のステップSB2及びSB3の処理を繰り返す。

【0097】コンパレータ7は、比較結果に応じてクロックFtを出力し、PLL9は、クロックFtに同期したワードクロックFsを出力する。

【0098】以上のように、パケットを受信したときにはパケット中のシステムタイムに基づきワードクロックを生成し、パケットが途切れたときには、以前の連続する2つのパケット中のシステムタイムの差分に基づきワードクロックを生成する。これにより、パケットが途切れた場合でも、安定したワードクロックを生成することができる。

【0099】イコライザや音場処理等を行う処理部では、ワードクロックFsに依存するパラメータを生成するので、ワードクロックFsが乱れると、パラメータを

設定し直す必要があり、その間、ミュート（音の出力を停止する）してしまう弊害がある。

【0100】本実施例では安定なワードクロックを生成できるので、そのような弊害を防止することができる。すなわち、オーディオデータを再生している途中でミュートが発生することを防止し、オーディオデータを忠実に再生することができる。

【0101】なお、パケット中のデータはオーディオデータに限定されず、画像データ等でもよい。通信は、IEEE1394デジタルシリアル通信に限定されず、その他のシリアル通信やパラレル通信でもよい。例えば、インターネット、LAN等でもよい。

【0102】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0103】

【発明の効果】以上説明したように、本発明によれば、第1の時間情報が入力されたときには、第1の時間情報に応じてクロックを生成し、第2の時間情報が入力されたときには、第2の時間情報に応じてクロックを生成する。そして、第1の時間情報と第2の時間情報との差分値を求める。その後に、時間情報が入力されない場合でも、第2の時間情報と上記の差分値との加算値に応じてクロックを生成すれば、安定したクロックを生成することができる。

【図面の簡単な説明】

【図1】 本発明の実施例による受信装置の構成を示すブロック図である。

【図2】 連続したパケット通信を示すタイムチャートである。

【図3】 従来技術による受信装置の構成を示すブロック図である。

【図4】 不連続なパケット通信を示すタイムチャートである。

【図5】 本実施例によるパケット通信を示すタイムチャートである。

【図6】 図1に示す受信装置の動作を示すブロック図である。

【図7】 図6に続く、受信装置の動作を示すブロック図である。

【図8】 図7に続く、受信装置の動作を示すブロック図である。

【図9】 図8に続く、受信装置の動作を示すブロック図である。

【図10】 図9に続く、受信装置の動作を示すブロック図である。

【図11】 受信装置のハードウェア構成を示すブロック図である。

【図12】 パケット受信処理を示すフローチャートで

ある。

【図13】 ワードクロック生成部の処理を示すフローチャートである。

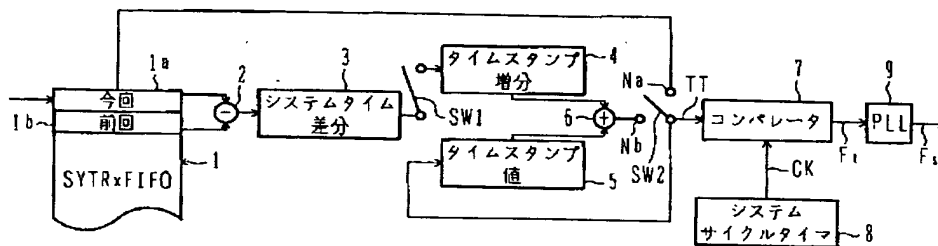
【符号の説明】

1, 11 システムタイム受信用FIFO、 2 減算器、 3 システムタイム差分レジスタ、 4 タイムスタンプ増分レジスタ、 5, 16 タイムスタンプレジスタ、 6 加算器、 7, 17 コンパレータ、 8, 18 システムサイクルタイマ、 9, 19 位相ロックループ回路(PLL)、 SW1, SW2 スイッチ、 P パケット、 T システ

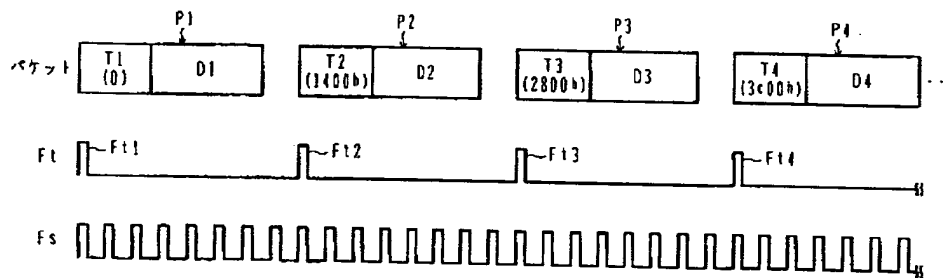
ムタイム、 D オーディオデータ、 CK システムクロック、 TTタイムスタンプ、 Ft クロック、 Fs ワードクロック、 21バス、 22 プログラム記憶装置、 23 記憶装置、 24 CPU、 25 FIFO、 26 オーディオデータ通信LSI、 27 リンク層、 28 FIFO、 29 物理層、 30 IEEE 1394通信インタフェース、 31 シリアルバス、 32 D/Aコンバータ、 33 フィルタ、 34 アンプ、 35 スピーカ

【図1】

実施例

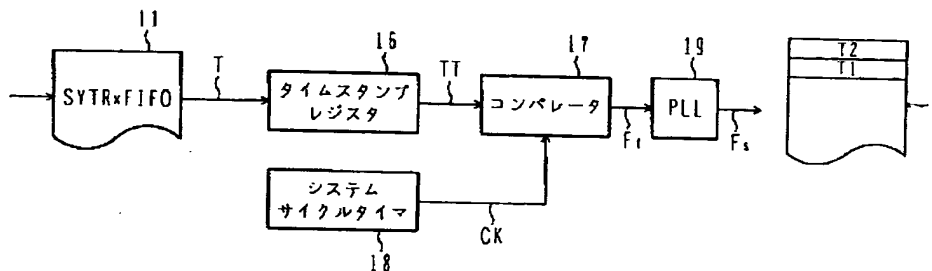


【図2】



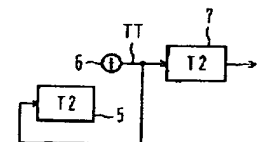
【図3】

従来技術

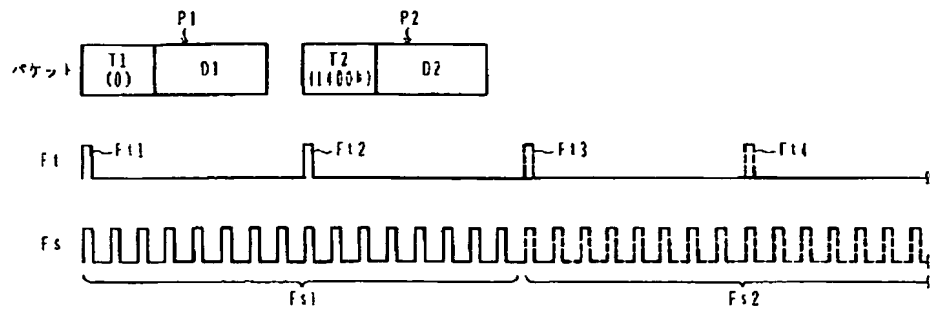


【図8】

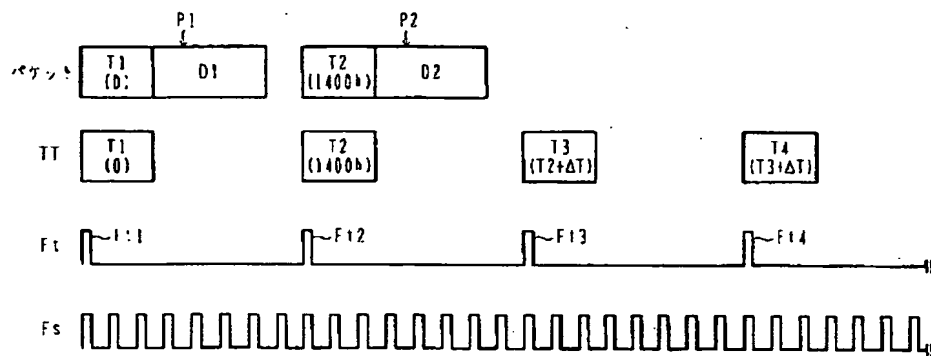
→Ft13発生準備



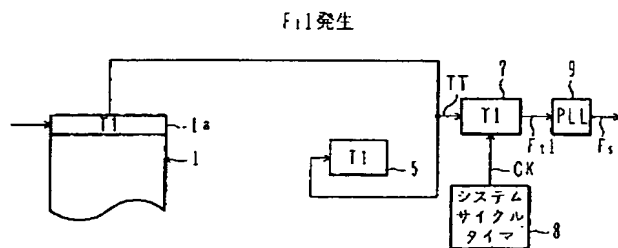
【図4】



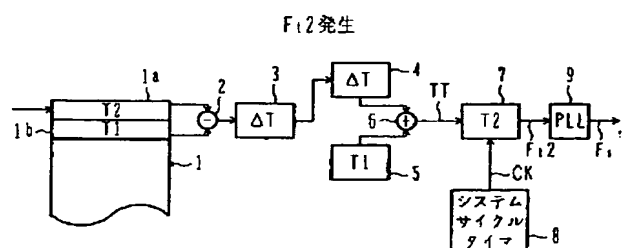
【図5】



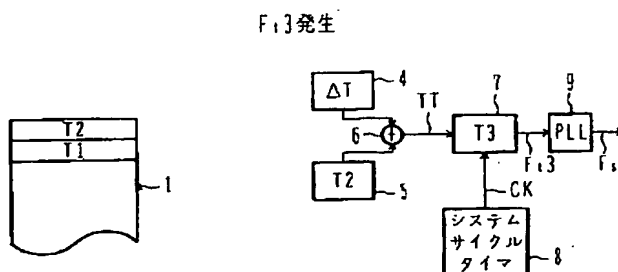
【図6】



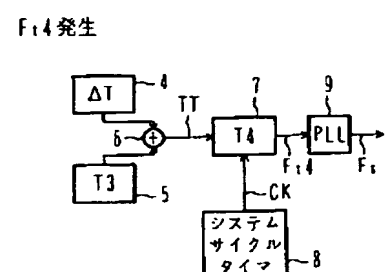
【図7】



【図9】

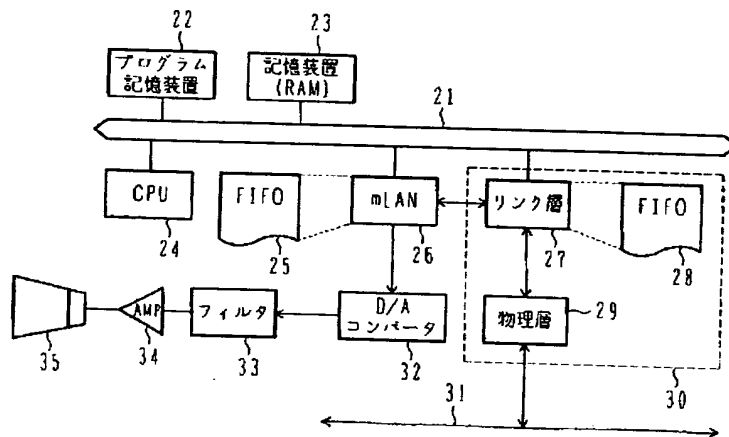


【図10】

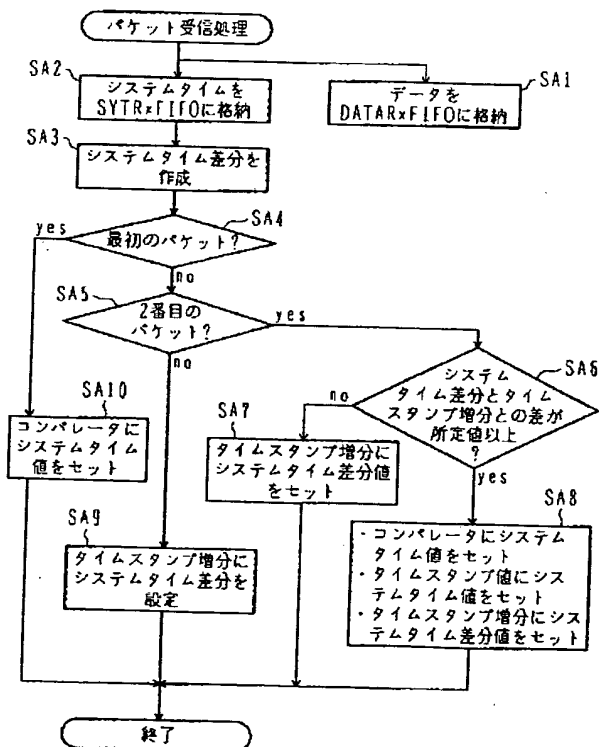


【図11】

ハードウェア構成



【図12】



【図13】

